

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-313009

(43)Date of publication of application : 24.11.1998

(51)Int.Cl.

H01L 21/3205**H01L 21/3065****H01L 21/304**

(21)Application number : 09-137931

(71)Applicant : **YAMAHA CORP**

(22)Date of filing : 12.05.1997

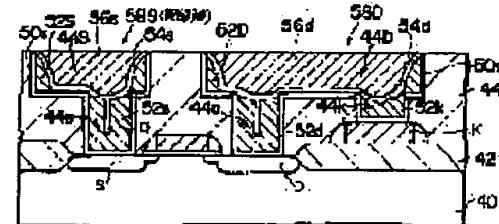
(72)Inventor : **OMURA MASAYOSHI****(54) FORMATION OF FLAT WIRING**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming a flat wiring based on a damascene process which can provide low-resistance wiring and a high reliability.

SOLUTION: A connection hole and a wiring groove connected therewith are made in an insulating film 44 covering a surface of a substrate 40.

Sequentially formed on the film 44 are an adhesion layer of TiN/Ti or the like and a conductive material layer of W or the like to cover the wiring groove and connection hole. The conductive material layer is subjected to an etch-back process, so that a part 52s of the layer remains within the connection hole and a part 52S thereof remains within the wiring groove. Sequentially formed thereon are a barrier layer of TiN/Ti or the like and a wiring material layer of Al alloy or the like to cover the wiring groove and parts 52s and 52S. Thereafter, the wiring material layer, barrier layer and adhesion layers are subjected to a CMP process to leave parts 56s, 54s and 50s of the respective layers. The parts 50s, 52s, 52S, 54s and 56s form a wiring layer 58S. When isotropic overetching is carried out in the etch-back process, the barrier layer can be omitted.

**LEGAL STATUS**

[Date of request for examination] 26.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3228181

[Date of registration] 07.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-313009

(13)公開日 平成10年(1998)11月24日

(51)Int.Cl.
H 01 L 21/3205
21/3065
21/304 3 2 1

F I
H 01 L 21/88
21/304 K
21/302 3 2 1 S
M

審査請求 未請求 請求項の数 6 FD (全 20 頁)

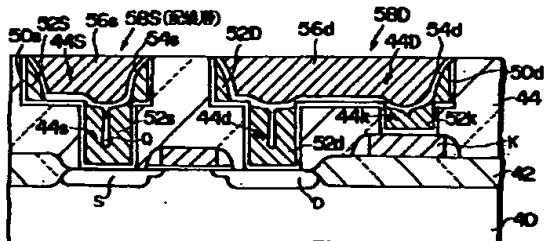
(21)出願番号 特願平9-137931
(22)出願日 平成9年(1997)5月12日

(71)出願人 000004075
ヤマハ株式会社
静岡県浜松市中沢町10番1号
(72)発明者 大村 昌良
静岡県浜松市中沢町10番1号ヤマハ株式会
社内
(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】平坦配線形成法

(57)【要約】

【課題】 ダマシン法を用いる平坦配線形成法において、配線の低抵抗化及び高信頼化を図る。
【解決手段】 基板40の表面を覆う絶縁膜44に接続孔とこの接続孔につながる配線溝とを形成した後、配線溝及び接続孔を覆って膜44の上にTiN/Ti等の密着層及びW等の導電材層を順次に形成する。導電材層をエッチバックして接続孔内には該層の部分52sを且つ配線溝内には該層の部分52sをそれぞれ残す。配線溝及び部分52s、52sを覆ってTiN/Ti等のバリア層及びAl合金等の配線材層を順次に形成した後、配線材層とバリア層と密着層とにCMP処理を施して各々の層の部分56s、54s、50sを残す。部分50s、52s、52s、54s、56sにより配線層58sを形成する。エッチバック時に等方性のオーバーエッキングを行うと、バリア層を省略できる。



【特許請求の範囲】

【請求項1】一方の主面に被接続部を有する基板を用意する工程と、前記基板の一方の主面に前記被接続部を覆って絶縁膜を形成する工程と、前記被接続部に達する接続孔を前記絶縁膜に形成すると共に該接続孔につながる配線溝を前記絶縁膜に形成する工程と、前記絶縁膜と前記配線溝と前記接続孔とを覆って導電材層を形成する工程と、

前記導電材層をエッチバックして前記接続孔の内部に前記被接続部につながるように前記導電材層の第1の部分をプラグとして残すと共に前記導電材層の第2の部分を前記配線溝の側壁に沿ってサイドカバー層として残す工程と、

前記絶縁膜と前記サイドカバー層と前記配線溝と前記プラグとを覆って導電性バリア層及び配線材層を順次に形成する工程と、

前記絶縁膜が露呈するまで前記配線材層及び前記バリア層の積層を平坦状に除去して前記配線溝内に前記バリア層の一部と前記配線材層の一部とを残存させることにより前記プラグと前記サイドカバー層と前記バリア層の残存部と前記配線材層の残存部とを備えた配線層を形成する工程とを含む平坦配線形成法。

【請求項2】前記配線材層及び前記バリア層の積層を平坦状に除去する際には該積層の平坦レベルが前記配線溝の開口端より深く位置するように平坦状の除去を行ない、この後前記絶縁膜と前記バリア層の残存部と前記配線材層の残存部とを覆ってバリア性導電材からなるキャップ層を形成し、前記絶縁膜が露呈するまで前記キャップ層を平坦状に除去して前記キャップ層の一部を前記配線溝内で前記バリア層の残存部及び前記配線材層の残存部を覆うように前記配線層の一部として残存させることを特徴とする請求項1記載の平坦配線形成法。

【請求項3】一方の主面に被接続部を有する基板を用意する工程と、前記基板の一方の主面に前記被接続部を覆って絶縁膜を形成する工程と、

前記被接続部に達する接続孔を前記絶縁膜に形成すると共に該接続孔につながる配線溝を前記絶縁膜に形成する工程と、

前記絶縁膜と前記配線溝と前記接続孔とを覆って導電材層を形成する工程と、

異方性エッティングにより前記導電材層を薄くして前記接続孔の内部に前記被接続部につながるように前記導電材層の第1の部分をプラグとして残すと共に前記導電材層の第2の部分を前記配線溝に沿ってサイドカバー層として残す工程と、

テーパーエッティングにより前記プラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するように加工

する工程と、

前記プラグのシーム孔を加工した後前記絶縁膜と前記サイドカバー層と前記配線溝と前記プラグとを覆って配線材層を形成する工程と、前記絶縁膜が露呈するまで前記配線材層を平坦状に除去して前記配線溝内に前記配線材層の一部を残存させることにより前記プラグと前記サイドカバー層と前記配線材層の残存部とを備えた配線層を形成する工程とを含む平坦配線形成法。

10 【請求項4】前記配線材層を平坦状に除去する際には前記配線材層の平坦レベルが前記配線溝の開口端より深く位置するように平坦状の除去を行ない、この後前記絶縁膜と前記配線材層の残存部とを覆ってバリア性導電材からなるキャップ層を形成し、前記絶縁膜が露呈するまで前記キャップ層を平坦状に除去して前記キャップ層の一部を前記配線溝内で前記配線材層の残存部を覆うように前記配線層の一部として残存させることを特徴とする請求項3記載の平坦配線形成法。

【請求項5】前記プラグのシーム孔を加工した後前記配線材層を形成する前に前記絶縁膜と前記サイドカバー層と前記配線溝と前記プラグとを覆って導電性のバリア層を形成する工程を更に含み、前記配線材層を形成する工程では前記バリア層を覆って前記配線材層を形成し、前記配線層を形成する工程では前記絶縁膜が露呈するまで前記配線材層及び前記バリア層の積層を平坦状に除去して前記バリア層の一部を前記配線溝内に前記配線層の一部として残存させることを特徴とする請求項3記載の平坦配線形成法。

【請求項6】前記配線材層及び前記バリア層の積層を平坦状に除去する際には該積層の平坦レベルが前記配線溝の開口端より深く位置するように平坦状の除去を行ない、この後前記絶縁膜と前記バリア層の残存部と前記配線材層の残存部とを覆ってバリア性導電材からなるキャップ層を形成し、前記絶縁膜が露呈するまで前記キャップ層を平坦状に除去して前記キャップ層の一部を前記配線溝内で前記バリア層の残存部及び前記配線材層の残存部を覆うように前記配線層の一部として残存させることを特徴とする請求項5記載の平坦配線形成法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ダマシン(Damascene)法を用いる平坦配線形成法に関し、特に絶縁膜に設けた接続孔及び配線溝を覆ってW(タンゲステン)等の導電材層を形成した後、導電材層をエッチバックして各々導電材層の残存部からなるプラグ及びサイドカバー層を接続孔内及び配線溝内に残すと共にプラグ及びサイドカバー層を覆ってバリア層及び配線材層を順次に形成し、バリア層及び配線材層の積層にCMP(化学機械研磨)等の平坦化処理を施すことにより低抵抗且つ高信頼の平坦配線を形成可能としたものである。

【0002】

【従来の技術】従来、ダマシン法を用いる平坦配線形成法としては、図28～30に示すものが知られている（例えば、"DUAL DAMASCENE: A ULSI WIRING TECHNOLOGY" Carter W. Kaanta et al. June 11-12, 1991 VMIC Conference IEEE参照）。

【0003】図28の工程では、絶縁膜1の表面に配線層2A, 2Bを形成した後、絶縁膜1の表面をCMP処理により平坦化する。そして、絶縁膜1の平坦化された表面上に絶縁膜3を形成する。

【0004】次に、配線層2A, 2Bの被接続部にそれぞれ対応する孔4a, 4bを有するレジスト層4を絶縁膜3の上に形成する。そして、レジスト層4の孔4a, 4bをつなぐ孔5Aを有するレジスト層5をレジスト層4の上に形成する。

【0005】図29の工程では、レジスト層4, 5をマスクとして絶縁膜3をドライエッチングすることにより配線層2A, 2Bにそれぞれ達する接続孔3a, 3bとこれらの孔をつなぐ配線溝3Aとを絶縁膜3に形成する。接続孔3a, 3bは、レジスト層4の孔4a, 4bにそれぞれ対応し、配線溝3Aは、レジスト層5の孔5Aに対応する。

【0006】図30の工程では、CVD（ケミカル・ベーパー・デポジション）法により接続孔3a, 3b及び配線溝3Aを埋めるようにW層6を絶縁膜3の上に形成する。そして、CMP処理によりW層6を平坦状に除去して接続孔3a, 3b及び配線溝3Aの内部にW層6の一部を配線層6Aとして残す。

【0007】

【発明が解決しようとする課題】上記した従来技術によると、配線層6Aの構成材料が抵抗率の高いWからなっているため、配線抵抗の上昇を招くという問題点がある。

【0008】本願発明者は、このような問題点を解決するため、図31～41に示すように接続孔埋込み技術とダマシン法とを組合せた配線形成法について研究を行なった。

【0009】図31の工程では、半導体基板10の表面に素子孔12aを有するフィールド絶縁膜12を形成した後、素子孔12a内に周知の方法によりMOS型トランジスタTを形成する。トランジスタTは、一例として、ゲート絶縁膜Fと、ゲート電極層Gと、サイドスペーサH₁, H₂と、不純物濃度が比較的低いソース領域S₁及びドレイン領域D₁と、不純物濃度が比較的高いソース領域S及びドレイン領域Dとを含んでいる。

【0010】絶縁膜12の上には、ゲート電極層Gの形成工程を流用して配線層Kを形成すると共にサイドスペーサH₁, H₂の形成工程を流用して配線層Kの両側にサイドスペーサL₁, L₂を形成する。そして、絶縁膜12、トランジスタT、配線層K等を覆って基板上面に

Si（シリコン）オキサイド等の絶縁膜14をCVD法により形成する。

【0011】図32の工程では、CMP処理により絶縁膜14の表面を平坦化する。そして、図33の工程では、ソース領域S、ドレイン領域D及び配線層Kのそれぞれの被接続部に対応する孔16s, 16d, 16kを有するレジスト層16を周知のホトリソグラフィ処理により形成する。

【0012】図34の工程では、レジスト層16をマスクとする異方性のドライエッチングにより絶縁膜14に接続孔14s, 14d, 14kを形成する。接続孔14s, 14d, 14kは、それぞれソース領域S、ドレイン領域D、配線層Kに達するものである。この後、レジスト層16を除去する。

【0013】図35の工程では、W層の密着性をよくするためのTiN/Ti（Tiが下層）等の密着層18を接続孔14s, 14d, 14kの内部及び絶縁膜14の上にスパッタ法により形成する。そして、接続孔14s, 14d, 14kを埋めるように密着層18の上にW層20をCVD法により形成する。

【0014】図36の工程では、密着層18及びW層20の積層をCMP処理により平坦状に除去して接続孔14s, 14d, 14k内に密着層18の第1, 第2, 第3の部分18s, 18d, 18kを残すと共にW層20の第1, 第2, 第3の部分20s, 20d, 20kを残す。部分18s, 20sによりプラグP_sを形成し、部分18d, 20dによりプラグP_dを形成し、部分18k, 20kによりプラグP_kを形成する。

【0015】図37の工程では、絶縁膜14、プラグP_s, P_d, P_k等を覆って基板上面にSiオキサイド等の絶縁膜22をCVD法により形成する。そして、図38の工程では、プラグP_sにつながる配線溝に対応する孔24sとプラグP_d, P_kをつなぐ配線溝に対応する孔24dとを有するレジスト層24をホトリソグラフィ処理により形成する。

【0016】図39の工程では、レジスト層24をマスクとする異方性のドライエッチングにより絶縁膜22に配線溝22s, 22dを形成する。配線溝22sは、プラグP_sにつながるものであり、配線溝22dは、プラグP_d, P_kをつなぐものである。この後、レジスト層24を除去する。

【0017】図40の工程では、TiN/Ti（Tiが下層）等のバリア層26を配線溝22s, 22dの内部及び絶縁膜22の上にスパッタ法により形成する。そして、配線溝22s, 22dを埋めるようにバリア層26の上にAl合金等の配線材層28をスパッタ法により形成する。バリア層26は、配線材層28中のAl等の拡散を防ぐためのものである。

【0018】図41の工程では、バリア層26及び配線材層28の積層をCMP処理により平坦状に除去して配

線溝22s内に層26の第1の部分26sと層28の第1の部分28sとを残すと共に配線溝22d内に層26の第2の部分26dと層28の第2の部分28dとを残す。プラグPsと部分26s, 28sにより、ソース領域Sにつながる配線溝30Sを形成する。プラグPdと部分26d, 28dとプラグPkにより、ドレン領域D及び配線溝Kをつなぐ配線溝30Dを形成する。
【0019】図31～41に関して上記した配線形成法によれば、30S, 30D等の配線層は、プラグ以外の部分が抵抗率の低いA1合金等の配線材を主体として構成されるので、配線抵抗の低減が可能である。しかし、以下述べるように配線の信頼性低下を招くという問題がある。

【0020】図35のW層堆積工程では、14s等の接続孔の内壁へのWの堆積が進むにつれて接続孔の内部への材料ガス(WF₆)の供給が制限され、接続孔の外部に比べて接続孔の内部ではWの堆積速度が遅くなる。そして、接続孔の上部でW層20の対向部分が接触して閉じてしまうと、内部にはもはや材料ガスが供給されなくなり、Wの堆積が停止する。この結果、接続孔内にはシーム孔Qが形成される。

【0021】図36のCMP工程では、研磨剤として、アルミナ(A₁₂O₃)からなる研磨砥粒にH₂O₂からなる酸化剤を加えたものを用いる。この場合、研磨機構としては、酸化剤がW層20の表面を酸化して脆弱な酸化物を形成すると共にこのような酸化物をアルミナ砥粒が機械的な研磨作用により除去することで研磨が進行するものと考えられている。研磨の進行に伴って酸化剤がシーム孔Q内に入り込むため、シーム孔Qの開口部が図36に示すように拡大される。また、シーム孔Q内には、微細なアルミナ砥粒が入り込む。しかし、シーム孔Q内のアルミナ砥粒をCMP後のブラシ洗浄や蒸液洗浄で除去するのは実際上極めて困難である。

【0022】シーム孔Qは、開口部が拡大されたとしても、内径が極めて小さいものであり、図37の絶縁膜堆積工程や図40のバリア層及び配線材層の堆積工程でシーム孔Qを埋め尽くすことはできない。すなわち、シーム孔Qは、図41に示すように30S等の配線層を形成した後もボイドとして残る。このようなボイドに28s等の配線金属が接触していると、ボイドを起点としてエレクトロマイグレーション等により配線金属中にボイドが成長したり、配線金属中にボイドが拡散したりして配線の信頼性を低下させる。

【0023】ところで、図39の絶縁膜エッティング工程では、22s等の配線溝の底部にPs等のプラグが露呈した時点でエッティングを停止するのが望ましい。しかし、エッティング終点の検出が容易でなく、しかもウエハ面内でエッチングレートが均一でないため、各プラグが確実に露呈するように50～100nm程度余分にエッティングを行なう。この結果、絶縁膜14がPs等のプラグの

ピークレベルより深くエッティングされ、プラグは、配線溝内に突出した形となる。

【0024】図39に示すようにシーム孔Qの開口部が拡大され且つPs等のプラグが配線溝内に突出した状態において図40の工程でスパッタ法によりバリア層26を形成すると、シーム孔Qの開口部及びプラグの周辺部でバリア層26の被覆性が劣化する。また、図39に示すように22s等の配線溝では底面と側壁がほぼ直角をなしているため、図40の工程では、かかる直角の角部10でもバリア層26の被覆性が劣化する。

【0025】シーム孔Qの開口部でバリア層26の被覆性が劣化すると、シーム孔QからなるボイドがA1合金等の配線金属と接触することになり、前述のように配線の信頼性が低下する。また、バリア層26の被覆性劣化は、バリア層26のバリア性を低下させ、ひいては配線の信頼性を低下させる。例えば、配線金属にCuを用いた場合、バリア層26のバリア性が低下した個所では、絶縁膜14, 22へCuが拡散したり、逆に絶縁膜14, 22からの酸素によりCuが酸化したりするため、配線の信頼性が低下する。

【0026】シーム孔Q内に微細な砥粒が残るなどCMP処理に伴う問題点をなくすためには、図36の工程においてCMP処理の代りにエッチバック処理を用いてW層20を平坦状に除去するようにしてもよい。この場合、エッチバック処理は、メインエッティング及びオーバーエッティングの2ステップで行ない、いずれのステップでも異方性エッティング条件にてエッティングを行なう。いずれのステップでも等方性エッティング条件にてエッティングを行なうと、W層20が除去されてしまい、Ps等の20プラグを形成できないからである。

【0027】図36の工程でエッチバック処理を行なう場合、図32の工程で絶縁膜14の表面を平坦化しても、メインエッティングでは、ウエハ面内のエッチレートが均一でないため、W層20の一部がエッティング残りとして残される。このようなエッティング残りは、配線間の短絡を招くことがあり、完全に除去するのが望ましい。そこで、メインエッティングに続いてオーバーエッティングを行なうことでエッティング残りを除去する。

【0028】オーバーエッティングでは、図42に接続孔14s内のエッティング状況を例示するように、プラグPsを構成するW層20sが過剰にエッティングされ、プラグPsの上部に深さRdの凹部が形成される。また、シーム孔Qの開口部が拡大される。

【0029】このようにプラグの上部に凹部が形成されると共にシーム孔Qの開口部が拡大された状態において図40の工程でスパッタ法によりバリア層26を形成すると、シーム孔Qの開口部及び凹部の段差部でバリア層26の被覆性が劣化する。

【0030】シーム孔Qの開口部でバリア層26の被覆性が劣化すると、シーム孔QからなるボイドがA1合金

等の配線金属と接触することになり、前述のように配線の信頼性が低下する。また、バリア層26の被覆性劣化によりバリア層26のバリア性が低下し、前述のように配線の信頼性が低下する。

【0031】この発明の目的は、低抵抗且つ高信頼の平坦配線を実現することができる新規な平坦配線形成法を提供することにある。

【0032】

【課題を解決するための手段】この発明に係る第1の平坦配線形成法は、一方の主面に被接続部を有する基板を用意する工程と、前記基板の一方の主面に前記被接続部を覆って絶縁膜を形成する工程と、前記被接続部に達する接続孔を前記絶縁膜に形成すると共に該接続孔につながる配線溝を前記絶縁膜に形成する工程と、前記絶縁膜と前記配線溝と前記接続孔とを覆って導電材層を形成する工程と、前記導電材層をエッチバックして前記接続孔の内部に前記被接続部につながるように前記導電材層の第1の部分をプラグとして残すと共に前記導電材層の第2の部分を前記配線溝の側壁に沿ってサイドカバー層として残す工程と、前記絶縁膜と前記サイドカバー層と前記配線溝と前記プラグとを覆って導電性バリア層及び配線材層を順次に形成する工程と、前記絶縁膜が露呈するまで前記配線材層及び前記バリア層の積層を平坦状に除去して前記配線材層と前記バリア層の一部と前記配線材層の一部とを残存させることにより前記プラグと前記サイドカバー層と前記バリア層の残存部と前記配線材層の残存部とを備えた配線層を形成する工程とを含むものである。

【0033】上記した第1の平坦配線形成法によれば、配線層においてプラグ以外の部分が抵抗率の低いA1合金等の配線材を主体として構成されるため、配線の低抵抗化を達成することができる。

【0034】また、配線溝と接続孔とを覆って形成したW等の導電材層をエッチバックして配線溝内にはサイドカバー層を且つ接続孔内にはプラグをそれぞれ残すようにしたので、バリア層の被覆性を向上させることができると共にサイドカバー層によりバリア層のバリア性を補強することができる。従って、配線の高信頼化を達成することができる。

【0035】この発明に係る第2の平坦配線形成法は、一方の主面に被接続部を有する基板を用意する工程と、前記基板の一方の主面に前記被接続部を覆って絶縁膜を形成する工程と、前記被接続部に達する接続孔を前記絶縁膜に形成すると共に該接続孔につながる配線溝を前記絶縁膜に形成する工程と、前記絶縁膜と前記配線溝と前記接続孔とを覆って導電材層を形成する工程と、異方性エッチングにより前記導電材層を薄くして前記接続孔の内部に前記被接続部につながるように前記導電材層の第1の部分をプラグとして残すと共に前記導電材層の第2の部分を前記配線溝に沿ってサイドカバー層として残す

工程と、テーパーエッティングにより前記プラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するよう加工する工程と、前記プラグのシーム孔を加工した後前記絶縁膜と前記サイドカバー層と前記配線溝と前記プラグとを覆って配線材層を形成する工程と、前記絶縁膜が露呈するまで前記配線材層を平坦状に除去して前記配線溝内に前記配線材層の一部を残存させることにより前記プラグと前記サイドカバー層と前記配線材層の残存部とを備えた配線層を形成する工程とを含むものである。

【0036】上記した第2の平坦配線形成法によれば、配線層においてプラグ以外の部分が抵抗率の低いA1合金等の配線材を主体として構成されるため、配線の低抵抗化を達成することができる。

【0037】また、配線溝と接続孔とを覆って形成したW等の導電材層を異方性エッチングで薄くして配線溝内にはサイドカバー層を且つ接続孔内にはプラグをそれぞれ残した後、プラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するようテーパーエッティングで加工するようにしたので、シーム孔が配線層中にボイドとして残るのを未然に防止すると共にサイドカバー層をバリア層としても活用することができる。従って、配線の高信頼化を達成することができる。

【0038】上記した第1又は第2の平坦配線形成法にあっては、配線材層を平坦状に除去する際に配線材層の平坦レベルが配線溝の開口端より深く位置するように平坦状の除去を行ない、この後、絶縁膜と配線材層の残存部とを覆ってバリア性導電材からなるキャップ層を形成し、絶縁膜が露呈するまでキャップ層を平坦状に除去してキャップ層の一部を配線溝内で配線材層の残存部を覆うように配線層の一部として残存せらるようにもよい。このようにすると、配線材層を構成する金属の拡散や酸化を防止することができ、配線の信頼性を一層向上させることができる。

【0039】上記した第2の平坦配線形成法にあっては、プラグのシーム孔を加工した後配線材層を形成する前にサイドカバー層、プラグ等を覆って導電性のバリア層を形成し、配線材層及びバリア層の積層を平坦状に除去してバリア層の一部を配線溝内に配線層の一部として残すようにしてもよい。このようにすると、配線材層を構成する金属の拡散や酸化を防止することができると共にバリア層を密着層として活用することもでき、配線の信頼性を一層向上させることができる。

【0040】

【発明の実施の形態】図1～11は、この発明の一実施形態に係る平坦配線形成法を示すもので、各々の図に対応する工程(1)～(11)を順次に説明する。

【0041】(1) 例えばSi(シリコン)からなる半導体基板40の表面に周知の選択酸化法によりSiオキサイドからなるフィールド絶縁膜42を素子孔42aを

有するように形成する。絶縁膜42の素子孔42a内の半導体表面に熱酸化法等によりゲート絶縁膜Fを形成した後、ポリSi層又はポリサイド層（ポリSi層にシリサイド層を重ねた積層）等を堆積してパターニングすることによりゲート電極層Gを形成する。このとき、所望によりゲート絶縁膜Fをゲート電極層Gと同じパターンでパターニングすることもできる。

【0042】次に、絶縁膜F及び電極層Gの積層と絶縁膜42とをマスクとする選択的な不純物導入処理（例えばイオン注入処理）により比較的不純物濃度が低いソース領域S₁及びドレイン領域D₁を形成する。そして、Siオキサイド等のサイドスペーサ材を基板上面に堆積してエッチバック処理を行なうことによりゲート電極層Gの両側のサイドスペーサH₁、H₂を形成する。

【0043】この後、絶縁膜F、電極層G及びサイドスペーサH₁、H₂を含むゲート部GPと絶縁膜42とをマスクとする選択的な不純物導入処理（例えばイオン注入処理）により比較的不純物濃度が高いソース領域S及びドレイン領域Dを形成する。

【0044】(2) 素子孔42a内のMOS型トランジスタと絶縁膜42とを覆ってPSG（リンケイ酸ガラス）及びBPSG（ボロン・リンケイ酸ガラス）を順次*

研磨加重：(イ) 研磨対象膜種がBPSGの場合

50~80kg/ウエハ(\approx 350g/cm²)

(ロ) 研磨対象膜種がアズマSiオキサイドの場合

30~90kg/ウエハ(\approx 500g/cm²)

プラテン回転数：30rpm [(イ)(ロ)に共通]

ヘッド回転数：40rpm [(イ)(ロ)に共通]

研磨レート：150nm/min [(イ)(ロ)に共通]

研磨量の均一性：1σ=10~20/removal=500nm [(イ)(ロ)に共通]

とができる。プラテン/ヘッドの回転数比(30/40)は、ウエハ面内の研磨均一性を向上させるためである。「研磨量の均一性」は、被研磨膜を500nm研磨したときのウエハ面内の均一性である。上記の条件で研磨を行なうことにより絶縁膜44の表面としては図3に示すように段差が全く見られない平坦な面が得られる。

【0047】このときの研磨機構としては、研粒(SiO₂)と絶縁膜44との摩擦による物理的な研磨作用と、絶縁膜44に対する研磨液の化学的溶去作用（摩擦中の発熱によるウエハ表面近傍の温度上昇により弱アルカリ性の研磨液が絶縁膜44の材料を溶去する作用）との共同作用により研磨が進行するものと考えられている。

【0048】CMP処理で使用可能な他の研磨研粒としては、酸化セリウム(CeO₂)、二酸化マグネシウム(MgO₂)、アルミナ(Al₂O₃)、二酸化マンガン(MnO₂)等が知られている。

【0049】(4) 絶縁膜44の平坦化された表面の上に、孔46s、46d、46kを有するレジスト層46※50

*に堆積して0.8~1.5μmの厚さを有する層間絶縁膜44を形成する。図3のCMP処理においてウエハ面内の研磨均一性とコントロール性とを良好にするために、研磨レートが速いBPSG膜に代えて、研磨レートが遅いアズマSiオキサイド膜（アズマCVD法で形成したSiオキサイド膜又はTEOS(Tetra Ethyl Ortho Silicate)を原料とするアズマCVD法で形成したSiオキサイド膜）を用いる方が望ましい。このようにすると、後工程で用いる研磨資材や研磨条件がそのまま適用できる利点がある。

【0045】(3) 絶縁膜44は、ゲート部GP、絶縁膜42等の下地段差を反映して表面が凹凸状をなしている。そこで、CMP処理により絶縁膜44の表面を平坦化する。

【0046】CMP処理では、研磨資材として、例えば直径30nmのヒュームドシリカ(SiO₂:1次粒子)の研粒を水酸化カリウム(KOH)又は水酸化アンモニウム(NH₄OH)等を含む弱アルカリ液に懸濁させた研磨液と、表面に微細な孔を有するポリウレタン系の研磨布とを用いることができる。そして、研磨条件は、一例として、

※を周知のホトリソグラフィ処理により形成する。孔46s、46d、46kは、ソース領域S、ドレイン領域D、配線層Kのそれぞれの被接続部につながる接続孔に対応するものである。

【0050】(5) レジスト層46をマスクとする異方性のドライエッティングにより絶縁膜44に接続孔44s、44d、44kを形成する。接続孔44s、44d、44kは、ソース領域S、ドレイン領域D、配線層Kのそれぞれの被接続部に達するよう形成する。この後、レジスト層46を除去する。

【0051】(6) 絶縁膜44の平坦化された表面の上に、孔48s、48dを有するレジスト層48をホトリソグラフィ処理により形成する。孔48sは、接続孔44sにつながる配線溝に対応するものであり、孔48dは、接続孔44d、44kをつなぐ配線溝に対応するものである。

【0052】(7) レジスト層48をマスクとする異方性のドライエッティングにより絶縁膜44に配線溝44S、44Dを形成する。配線溝44Sは、接続孔44sを介してソース領域Sにつながるものであり、配線溝44Dは、接続孔44d、44kをつなぐ配線溝に対応するものである。

4 Dは、接続孔4 4 dを介してドレイン領域Dにつながると共に接続孔4 4 kを介して配線層Kにつながるものである。配線溝4 4 Sの幅は、接続孔4 4 sの直径よりも大きく、配線溝4 4 Sの底部から接続孔4 4 sの内部に至る部分には段差が形成される。また、配線溝4 4 Dの幅は、接続孔4 4 d, 4 4 kのいずれの直径よりも大きく、配線溝4 4 Dの底部から接続孔4 4 d, 4 4 kのいずれの内部に至る部分にも段差が形成される。

【0053】配線溝を形成する場合は、接続孔を形成する場合とは異なりオーバーエッチングを行なわない。すなわち、オーバーエッチングを行なうと、配線溝が深くなりすぎて好ましくない。そこで、絶縁膜4 4 のエッチャートから必要な溝の深さを得るに要するエッチング時間を見積り、必要な溝の深さ(500~1000 nm)が得られるようにエッチングをコントロールする。

【0054】(8) 接続孔4 4 s, 4 4 d, 4 4 kと配線溝4 4 S, 4 4 Dと絶縁膜4 4 を覆ってTiN, TiON, Ti等を含む密着層5 0をスパッタ法又はCVD法等により形成する。一例として、密着層5 0は、5~50(好ましくは20) nmの厚さのTi膜を堆積した後、Ti膜の上に50~200(好ましくは100) nmの厚さのTiN膜を堆積して形成する。TiN膜の代りにTiON膜を用いても良い。

【0055】Ti膜は、スパッタ法により堆積することができ、成膜条件は、一例として、

基板温度: 150°C

Ar流量: 30 sccm

圧力: 3 mTorr

スパッタリングパワー: 1150W

とすることができる。

【0056】Ti膜の堆積には、コリメートスパッタ法又はロングスロースパッタ法を用いるのが好ましい。このような方法を用いると、微細な接続孔の底部で十分なTi膜厚を得ることができる。また、CVD法を用いれば理想的な被覆性を持ったTi膜を形成可能である。

【0057】密着層5 0の材料としては、上記したものに限らず、TiW等の高融点金属の合金、金属シリサイド、金属シリサイドとTiN等の金属窒化物との積層、高融点金属とその窒化物(又はホウ化物)との積層等を用いてよい。

【0058】密着層5 0を形成した後、密着層5 0の耐熱性及びバリア性を向上させるために、N₂雰囲気中で500~800°Cの基板温度にて10~60秒間の高速熱処理(ランプアニールのようなRapid Thermal Anneal [RTA]処理)を行なってよい。

【0059】次に、接続孔4 4 s, 4 4 d, 4 4 kと配線溝4 4 S, 4 4 Dと密着層5 0を覆ってW等のアラグ材料からなる導電材層5 2をCVD法で形成する。導電材層5 2の厚さは、4 4 sの接続孔が導電材で埋まるように選定される。すなわち、4 4 s等の接続孔の半径

をrとすれば、導電材層5 2の厚さtをr以上($t \geq r$)に設定することで半径rの接続孔を導電材層5 2で埋めることができる。

【0060】通常、厚さtは、 $t = r \times 1.5 \sim 2.0$ の範囲内で選定される。一例として $t = 300 \sim 1000$ (好ましくは400~600) nmとすることができる。導電材層5 2の厚さが薄いほど成膜装置の負荷が少なくて済む。

【0061】導電材層5 2の材料としては、WF₆等の蒸気圧の高い化合物を持つ金属種が選択される。一例としてWをCVD法により堆積する場合、成膜条件は、基板温度: 440°C
ガス流量: WF₆ / H₂ / Ar = 80 / 800 / 900 sccm
圧力: 80 Torr
とすることができる。

【0062】他の金属材料としては、例えばAl、Mo、Ta、Ti、Ni、Cu、Pt等の低沸点・高蒸気圧の化合物ガスが存在する金属であればWと同様に利用可能である。ここに例示した金属の原料ガスとしては、(CH₃)₂AlH [ジメチル・アルミニウム・ハイドライド(DMAH): 成膜温度Td=100~300°C] 又は((CH₃)₂CHCH₂)₃Al [トリイソブチル・アルミニウム(TIBA): Td=100~300°C]、MoF₆ [Td=300~800°C]、TaF₅ [Td=500~800°C]、TiCl₄ [Td=350~600°C]、Ni(CO)₄ [Td=100~300°C]、Pt(CO)₂Cl₂ [Td=200~600°C] 等が知られている。

【0063】導電材層5 2を形成する際には、前述したように4 4 s等の接続孔内にシーム孔Qが形成される。

【0064】(9) エッチバック処理により導電材層5 2を薄くして接続孔4 4 s, 4 4 d, 4 4 k内に導電材層5 2の第1, 第2, 第3の部分をそれぞれプラグ5 2 s, 5 2 d, 5 2 kとして残すと共に配線溝4 4 S, 4 4 D内に導電材層5 2の第4, 第5の部分をそれぞれサイドカバー層5 2 S, 5 2 Dとして残す。各サイドカバー層は、該サイドカバー層が残された配線溝内で開口端から底部に向けて配線溝幅を徐々に減少させるように形成されると共に配線溝内で側壁及びその近傍の底部に沿って密着層5 0を覆うように閉ループ状に形成される。エッチバック処理は、メインエッチング及びオーバーエッチングの2ステップで行なう。

【0065】メインエッチングのステップでは、密着層5 0が露呈するまで導電材層5 2を異方性エッチング条件にてドライエッチングする。このときのドライエッチングをRIE(反応性イオンエッチング)法で行なう場合、エッチング条件は、一例として、

ガス流量: SF₆ / Ar = 30 ~ 140 / 40 ~ 140 (好ましくは110/90) sccm

高周波パワー: 450W

圧力: 32Pa

とすることができる。

【0066】Wのエッチング終点の検出は、F⁺の発光強度(波長704nm)をモニターし、F⁺の発光強度が増大してくる所(発光強度の微分が大きくなる時点)を検出することにより行なうことができる。

【0067】メインエッチングの後、同じエッチング装置(又は別のエッチング装置)にてオーバーエッチングを行なう。オーバーエッチングのステップでは、絶縁膜44の平坦部上及び44S等の配線溝内において密着層50上に残存するWのエッチング残りを完全に除去するようにドライエッチングを行なう。このときのドライエッチングをRIE法で行なう場合、エッチング条件は、一例として、

ガス流量: SF₆ / Ar = 50~180 / 0~90 (好ましくは8/60) sccm

高周波パワー: 200W

圧力: 27Pa

とすることができる。

【0068】上記したエッチバック処理によれば、密着層50が露呈した時点でメインエッチングを終了するようにしたので、52s等のプラグが44s等の接続孔から出すぎたり、44s等の接続孔の開口部で52s等のプラグが過剰にエッチングされて図42に示したような四部が生じたりするのを防止することができる。

【0069】オーバーエッチングの後、密着層50の露呈部をエッチングするステップを追加してもよい。このための具体的方法は、第2の実施形態に関して後述する。

【0070】(10) プラグ52s, 52d, 52kとサイドカバー層52S, 52Dと密着層50の露呈部とを覆って導電性バリア層54を形成する。44S等の配線溝の側壁が52S等のサイドカバー層で覆われて段差が緩和されているため、バリア層54を被覆性よく形成することができる。バリア層54は、前述した密着層50と同様にしてTi層及びTiN層(又はTiON層)を順次にスパッタ法等で堆積することにより形成することができる。一例として、Ti層及びTiN層の厚さは、それぞれ7nm及び50nmとすることができる。

【0071】バリア層54の材料としては、上記したものに限らず、TiW等の高融点金属の合金、金属シリサイド、金属シリサイドとTiN等の金属窒化物との積層、高融点金属とその窒化物(又はホウ化物)との積層等を用いてもよい。

【0072】バリア層54を形成した後、バリア層54の耐熱性及びバリア性を向上させるために、N₂雰囲気中で500~800℃の基板温度にて10~60秒間の高速熱処理(RTA処理)を行なってもよい。

【0073】次に、バリア層54を覆って配線溝44

S, 44Dを埋めるように配線材層56をスパッタ法又はCVD法等により形成し、必要に応じて配線材層56が配線溝44S, 44Dを十分に埋めるようにリフロー処理を行なう。バリア層54が被覆性よく形成されているので、配線材層56中にボイドが生じたり、拡散したりすることができない。

【0074】配線材層56としては、Al層又はAl-Si, Al-Si-Cu等のAl合金層をスパッタ法で形成することができる。層56の厚さは、44S等の配線溝の深さが500nmである場合、500~1500(好ましくは1000)nmとすることができる。このときの成膜条件は、一例として、

基板温度: 200℃

Ar流量: 33sccm

圧力: 2mTorr

スパッタリングパワー: 9000W

とすることができる。このようにして層56を形成した後、層56を有する基板40を400~550℃に加熱して層56をリフローさせることにより44S等の配線

溝を層56で十分に埋める。

【0075】44S等の配線溝の側壁が52S等のサイドカバー層で覆われて段差が緩和されているため、層56をスパッタ法で形成しても良好な被覆性が得られ、その後のリフロー処理においてもボイド等が発生せず、良好な埋込み性が得られる。

【0076】層56のスパッタ時にコリメートスパッタ法又はロングスロースパッタ法を用いると、微細な配線溝の底部でも十分な初期膜厚が得られるので、一層平易なリフロー条件で溝埋めを行なえる。

【0077】配線材層56としては、Al又はAl合金層の代りに、Cu又はCu合金(Cu-Cr, Cu-Zr, Cu-Pd等)を用いてもよく、この場合にはスパッタリング時のターゲットをCu又はCu合金に置き換えるだけである。

【0078】44S等の配線溝を埋めるのに好適な成膜方法としては、上記したリフロースパッタ法の代りに、PVD(フィジカル・ベーパー・デポジション)法又はCVD法を用いてもよい。

【0079】PVD法を用いる場合、独立のリフロー工程なしに成膜と溝埋めとを同時に達成可能である。例えば、高温スパッタ法を用いる場合、配線材層56を構成するAl又はAl合金をスパッタリングしながら基板40を加熱していき、最終的に基板温度が400~550℃になるまで加熱することで成膜と溝埋めとを一気に達成できる。

【0080】また、CVD法を用いる場合、配線溝の微細化に対応して微細な配線溝の内部を被覆性よく埋め込める利点がある。例えば、ジメチル・アルミニウム・ハイドライド(DMAH)等のガスとH₂ガス(キャリアガス)とを用いて基板温度100~250℃、ガス流量

200~500 sccmの条件で成膜を行なうことができる。この場合、基板温度を低く設定すると、成膜されたA1層(層56)がリフローしないため、被覆性はコンフォーマルとなる。そこで、成膜後にA1層(層56)を真空中又は不活性ガス中で加熱してリフローさせることにより44S等の配線溝を埋め尽くした形のA1層(層56)を得ることができる。

【0081】(11) CMP処理により密着層50とバリア層54と配線材層56との積層を平坦状に除去することにより配線溝44S及び接続孔44dの内部には層50の第1の部分50sを残すと共に配線溝44S内には層54の第1の部分54s及び層56の第1の部分56sを残し、しかも配線溝44D及び接続孔44d, 44kの内部には層50の第2の部分50dを残すと共に配線溝44D内には層54の第2の部分54d及び層56の第2の部分56dを残す。

【0082】CMP処理では、研磨資材として、例えば直径100nmのアルミニウム(A1₂O₃:1次粒子)の砥粒をH₂O₂等の酸化剤を含む弱酸性液に懸濁させた研磨液と、表面に微細な孔を有するポリウレタン系の研磨布とを用いることができる。そして、研磨条件は、研磨対象膜種がA1又はA1合金である場合、

研磨加重: 50~90kg/ウエハ (=350~500g/cm²)

プラテン回転数: 30 rpm

ヘッド回転数: 40 rpm

研磨レート: 300 nm/min

研磨量の均一性: 1σ=10~20/removal = 500 nm

とすることができる。プラテン/ヘッドの回転数比(30/40)は、ウエハ面内の研磨均一性を向上させるためである。「研磨量の均一性」は、被研磨膜を500nm研磨したときのウエハ面内の均一性である。上記の条件で研磨を行なうことにより配線形成面としては図11に示すように段差が全く見られない平坦な面が得られる。

【0083】研磨資材としては、シリカ砥粒や酸化セリウム(CeO₂)を用いてもよい。また、酸化剤としては、H₂O₂に限らず、硝酸鉄(Fe(NO₃)₃)又は二酸化マンガン(MnO₂)等を用いてもよい。

【0084】上記した研磨条件は、A1又はA1合金の研磨に限らず、Cu又はCu合金等の研磨にも適用可能である。

【0085】CMPの終点検出は、密着層50の材料が研磨廃液中にどの様に排出されるかモニターすることにより行なうことができる。すなわち、配線材層56が研磨されている間は密着層50の材料が研磨廃液中に排出されることはないが、絶縁膜44の平坦部で配線材層56の研磨が終ると、バリア層54が研磨され、さらに密着層50が研磨されるため、層50の材料が多量に研磨

廃液中に排出されることになり、研磨廃液中の層50の材料の濃度が急激に上昇する。この後、密着層50の研磨は、44S等の配線溝の側壁に形成された密着層部分の研磨に移るため、研磨廃液中の層50の材料の濃度が極端に低下する。従って、研磨廃液中の層50の材料の濃度をモニターすることでCMPの終点を正確に検出することができる。

【0086】CMP処理の結果として、ソース領域Sにつながる配線層58Sと、ドレン領域D及び配線層K 10をつなぐ配線層58Dとが得られる。配線層58Sは、密着層50の残存部分50sと、プラグ52sと、サイドカバー層52Sと、バリア層54の残存部分54sと、配線材層56の残存部分56sとにより構成される。また、配線層58Dは、密着層50の残存部分50dと、プラグ52d, 52kと、サイドカバー層52Dと、バリア層54の残存部分54dと、配線材層56の残存部分56dとにより構成される。

【0087】図12~16は、この発明の第2の実施形態に係る平坦配線形成法を示すものである。この実施形態の特徴は、第1に密着層50のエッティング工程を追加したことであり、第2にキャップ層60の一部を配線層の一部として残すようにしたことである。

【0088】図12の工程では、前述した図9のオーバーエッティング工程に統じて密着層50のエッティングを行なう。このエッティングは、前述のメインエッティングと同じ装置内の別チャンバにて行なうのが得策であるが、別の専用のエッティング装置で行なってもよい。

【0089】密着層50において絶縁膜44の平坦部上及び配線溝44S, 44D内で露呈した部分を例えばRIE法によりドライエッティングする。このときのエッティング条件は、密着層50がTiN/Ti積層(Tiが下層)からなる場合、

ガス流量: Cl₂ = 10~50 (好ましくは10) sccm

高周波パワー: 250W

圧力: 27 Pa

とすることができる。

【0090】このようなドライエッティングを絶縁膜44が露呈するまで行なうことにより配線溝44S及び接続孔44dの内部には密着層50の第1の部分50sを残すと共に配線溝44D及び接続孔44d, 44kの内部には層50の第2の部分50dを残す。絶縁膜44の平坦部上で層50の露呈部を除去したので、図14のCMP工程では絶縁膜44の平坦部上で層50を除去しなくてよい。

【0091】次に、図13の工程では、図10に関して前述したと同様にしてプラグ52s, 52d, 52kとサイドカバー層52S, 52Dと絶縁膜44の露呈部とを覆って導電性バリア層54及び配線材層56を順次に形成する。このとき、バリア層54及び配線材層56の

いずれも被覆性よく形成できることは、第1の実施形態について前述したと同様である。

【0092】図14の工程では、CMP処理によりバリア層54及び配線材層56の積層を平坦状に除去することにより配線溝44S内には層54の第1の部分54s及び層56の第1の部分56sを且つ配線溝44D内には層54の第2の部分54d及び層56の第2の部分56dをそれぞれ残す。この場合、層54, 56の積層の平坦レベルが44S, 44Dのいずれの配線溝についてもその開口端レベルより例えば30~100(好ましくは50)nm程度深くなるように(各配線溝の上部に凹部が生ずるように)CMP処理を行なう。

【0093】このときのCMP処理は、図11に関して前述したのとほぼ同様に行なうことができるが、終点の取り方を次のように変更する。すなわち、研磨廃液中のバリア層54の材料の濃度をモニターし、該濃度が急に増大した後急に減少する時点(通常の終点)からさらに過剰なCMPを行なう。

【0094】過剰なCMPをなすべき時間の長さは、経験的な判断に従って定めることも可能であるが、正確さを期すためには次のような計算に基づいて定めてよい。すなわち、配線材層56の研磨開始から終点検出時までの時間から研磨レートを計算し、この研磨レートから目的の深さまでの研磨時間を計算する。

【0095】50s等の残存密着層は、44s等の配線溝の開口端近傍で硬度の高いW等のプラグ金属(52S等のサイドカバー層)と絶縁膜44とに挟まれているので、過剰なCMP処理を行なっても殆ど削り込まれることがなく、確実に残される。

【0096】次に、図15の工程では、配線溝44S, 44D及び絶縁膜44の露呈部を覆ってキャップ層60を形成する。キャップ層60は、一例として、3~50(好ましくは7)nmの厚さのTi膜と、20~100(好ましくは40)nmの厚さのTiN膜とを順次にスパッタ法により堆積することにより形成することができる。このときのTi層の成膜条件は、

基板温度: 150°C

Ar流量: 30sccm

圧力: 3mTorr

スパッタリングパワー: 1150W

とすることができる。また、TiN層は、Ti層に競いて同じスパッタ装置で連続成膜するのが望ましく、成膜条件は、

基板温度: 150°C

ガス流量: Ar/N₂ = 56/84sccm

圧力: 4mTorr

スパッタリングパワー: 5300W

とすることができる。

【0097】Ti層及びTiN層の堆積には、コリメートスパッタ法、ロングスロースパッタ法又はCVD法を

用いてもよい。

【0098】キャップ層60を形成した後、キャップ層60の耐熱性及びバリア性を向上させるために、N₂雰囲気中で500~800°Cの基板温度にて10~60秒間の高速熱処理(RTA処理)を行なってもよい。

【0099】キャップ層60の材料としては、上記したものに限らず、TiW等の高融点金属の合金、金属シリサイド、金属シリイサイドとTiN等の金属窒化物との積層、高融点金属とその窒化物(又はホウ化物)との積層等を用いてもよい。

【0100】キャップ層60は、配線材層56としてA1又はA1合金層あるいはCu又はCu合金層を用いた場合に配線材料の表面酸化を防止すると共にエレクトロマイグレーション等の耐性を向上させることにより配線の信頼性を高めるために用いられるものである。配線材層56としてCu又はCu合金層を用いた場合、キャップ層60が絶縁膜44からの酸素拡散による酸化や絶縁膜44中へのCuの拡散を防止するバリア層として働くため、より確実にCu系の配線材料を覆う必要がある。

20 そこで、この場合には、配線材層56としてA1又はA1合金を用いた場合に比べてキャップ層60を厚く形成するのが好ましい。

【0101】次に、図16の工程では、CMP処理によりキャップ層60を平坦状に除去してキャップ層60の第1, 第2の部分60s, 60dをそれぞれ配線溝44S, 44D内に残す。このときのCMP処理は、図11に関して前述したと同様の条件で行なうことができる。

【0102】CMP処理は、絶縁膜44の平坦部が露呈した状態で停止する。絶縁膜44の研磨レートが遅いので、絶縁膜44の平坦部が露呈したところでCMP処理を停止するのは容易である。60s等の残存キャップ層の厚さは、図14の工程での配線溝の凹み量、図15の工程でのキャップ層60の厚さ、図16の工程でのキャップ層60の研磨量等によりコントロール可能である。

【0103】図16のCMP工程において、CMPの終点検出をより厳密に行ないたいときは、研磨廃液中のキャップ層60の材料の濃度をモニターすればよい。すなわち、絶縁膜44の平坦部上でキャップ層60のCMPが終ると、キャップ層60の研磨面積が減少するので、研磨廃液中の層60の材料の濃度が低下する。従って、この濃度の低下時点を終点として検出すればよい。

【0104】CMP処理の結果として、ソース領域Sにつながる配線層58Sと、ドレン領域D及び配線層Kをつなぐ配線層58Dとが得られる。配線層58Sは、密着層50の残存部分50sと、プラグ52sと、サイドカバー層52Sと、バリア層54の残存部分54sと、配線材層56の残存部分56sと、キャップ層60の残存部分60sとにより構成される。また、配線層58Dは、密着層50の残存部分50dと、プラグ52d, 52kと、サイドカバー層52Dと、バリア層54

19

の残存部分54dと、配線材層56の残存部分56dと、キャップ層60の残存部分60dにより構成される。

【0105】図17～23は、この発明の第3の実施形態に係る平坦配線形成法を示すものである。この実施形態の特徴は、第1にレジスト層62, 64をマスクとする1回のエッチング処理により接続孔及び配線溝を形成したことであり、第2に異方性エッチングにより導電材層52をエッチバックした後テーパーエッチングによりシーム孔Qを内部から開口端に向けてサイズが増大するように加工したことである。

【0106】図17の工程では、前述した図3のCMP工程に統いて絶縁膜44の平坦化された表面の上に、孔62s, 62d, 62kを有するレジスト層62をホトリソグラフィ処理により形成する。孔62s, 62d, 62kは、ソース領域S、ドレイン領域D、配線層Kのそれぞれの被接続部につながる接続孔に対応するものである。レジスト層62には、レジスト現像後150°C程度の熱処理を施すか又は熱処理と紫外線照射処理とを施す。これは、レジスト層62を硬化させ、その上に他のレジスト層を形成可能にするためである。

【0107】次に、図18の工程では、レジスト層62の上に、孔64s, 64dを有するレジスト層64をホトリソグラフィ処理により形成する。孔64sは、ソース領域Sの被接続部につながる配線溝に対応するものであり、孔64dは、ドレイン領域Dの被接続部及び配線層Kの被接続部をつなぐ配線溝に対応するものである。

【0108】他のレジスト層形成法としては、感光波長を異にする2種類のレジストを積層状に塗布した後、上層レジストを配線溝パターンに従ってパターニングし、この後下層レジストを接続孔パターンに従ってパターニングしてもよい。さらに他のレジスト層形成法としては、下層レジストを塗布した後、下層レジストの感光波長の光を吸収する化合物を含む上層レジストを下層レジスト上に塗布し、下層レジストの感光を防止しつつ上層レジストを配線パターンに従ってパターニングし、この後下層レジストを接続孔パターンに従ってパターニングしてもよい。

【0109】次に、図19の工程では、レジスト層62, 64をマスクとする異方性エッチングにより絶縁膜44に接続孔44s, 44d, 44kと配線溝44S, 44Dとを同時的に形成する。

【0110】この場合、レジスト層62, 64と絶縁膜44とをほぼ同じエッチャートで同時にエッチングする必要がある。このようなエッチングをマグネットロンRIE装置を用いて行なう場合、エッチング条件は、一例として、

エッチングガス: SF₆ / CHF₃ = 5~30 / 95~70 (好ましくは15/85) sccm

圧力: 50~300 (好ましくは125) mTorr

20

パワー: 400~700 (好ましくは550) W

磁場: 100Gauus

とすることができる。このような条件でドライエッチングを行なうと、まず、絶縁膜44がレジスト層62の孔62s, 62d, 62kに対応する部分でエッチングされるのに伴ってレジスト層62においてレジスト層64の孔64s, 64dに対応する部分がエッチングにより消失すると共にレジスト層64がエッチングにより消失する。続いて、絶縁膜44がレジスト層62の残存部分

10 をマスクとしてレジスト層64の孔64s, 64dに対応する部分でエッチングされるのに伴ってレジスト層62の残存部分がエッチングにより消失する。この結果、レジスト層62の接続孔パターン及びレジスト層64の配線溝パターンを絶縁膜44に正確に転写することができる。

【0111】オーバーエッチングを行なうと、配線溝が深くなりすぎるので、オーバーエッチングは行なわない。絶縁膜44のエッチャートから必要な溝の深さを得るに必要なエッチング時間を計算し、必要な溝の深さ20 (例えば500~1000 nm) が得られ且つ44s等の接続孔が確実にソース領域S等の被接続部に達するようエッチングをコントールする。

【0112】図20の工程では、図8に関して前述したと同様にして接続孔44s, 44d, 44kと配線溝44S, 44Dと絶縁膜44とを覆って密着層50及び導電材層52を順次に形成する。導電材層52を形成する際には、44s等の接続孔内にシーム孔Qが形成される。

【0113】次に、図21の工程では、エッチバック処理により導電材層52を薄くして接続孔44s, 44d, 44k内に導電材層52の第1, 第2, 第3の部分をそれぞれプラグ52s, 52d, 52kとして残すと共に配線溝44S, 44D内に導電材層52の第4, 第5の部分をそれぞれサイドカバー層52S, 52Dとして残す。各サイドカバー層は、各サイドカバー層が残された配線溝内で配線溝壁に沿って密着層50を覆うように閉ループ状に形成される。エッチバック処理は、メインエッチング及びオーバーエッチングの2ステップで行なう。

【0114】メインエッチングのステップでは、密着層50が露呈するまで導電材層52を異方性エッチング条件にてドライエッチングする。このときのドライエッチングをRIE(反応性イオンエッチング)法で行なう場合、エッチング条件は、図9の工程に関して前述したものと同様に設定することができる。

【0115】次に、密着層50において絶縁膜44の平坦部上及び配線溝44S, 44D内で露呈した部分を例えばRIE法によりドライエッチングする。このときのエッチングは、導電材層52のエッチングに用いたのと同じエッチング装置で行なうことができるが、別のエッ

50 同じエッチング装置で行なうことができるが、別のエッ

21

チング装置を用いてもよい。また、エッティング条件は、図12の工程に関して前述したものと同様に設定することができる。

【0116】このようなドライエッティングを絶縁膜44が露呈するまで行なうことにより配線溝44S及び接続孔44sの内部には密着層50の第1の部分50sを残すと共に配線溝44D及び接続孔44d, 44kの内部には層50の第2の部分50dを残す。このときの基板断面は、図12に示すものと同様である。なお、密着層50のエッティング処理は、所望により省略してもよい。

【0117】上記のようなメインエッティングの後、同じエッティング装置（又は別のエッティング装置）にてオーバーエッティングを行なう。オーバーエッティングのステップでは、各シーム孔Qをその直径が底部から開口端に向けて徐々に増大するように加工する（各シーム孔Qの側壁傾斜角が90°より小さくなる（いわゆる順テーパー状となる）ように各シーム孔Qにテーパーエッティングを施す）と共にWのエッティング残りを完全に除去するよう等方性エッティング条件にてドライエッティングを行なう。

【0118】エッティング時間を短縮するため、オーバーエッティングをメインエッティングと同じエッティング装置内でエッティング条件を変更して行なうのが好ましい。エッティング条件は、一例として、

ガス流量: SF₆ / Ar / O₂ = 50 ~ 180 / 0 ~ 9
0 / 0 ~ 50 (好ましくは 140 / 0 / 5) sccm
高周波パワー: 200W

圧力: 27Pa

とすることができる。ここで、O₂ガスを添加したのは、シーム孔Qを順テーパー状に加工しやすくするためである。O₂ガスに代えて、酸素の供給源となりうるH₂O, O₃（オゾン）等のガスを用いてもよい。

【0119】オーバーエッティングの結果、シーム孔Qは、図21に示すように底部から開口端に向けてサイズが増大し、この後形成される配線材層で埋め尽くすのが容易となる。

【0120】次に、図22の工程では、プラグ52s, 52d, 52kとサイドカバー層52S, 52Dと絶縁膜44の露呈部とを覆って配線材層56をスパッタ法又はCVD法等により形成し、必要に応じて配線材層56が配線溝44S, 44D及びシーム孔Qを十分に埋めるようにリフロー処理を行なう。

【0121】配線材層56としては、Al層又はAl-Si, Al-Si-Cu等のAl合金層をスパッタ法で形成することができる。層56の厚さは、44S等の配線溝の深さが500nmである場合、500~1500（好ましくは1000）nmとすることができる。このときの成膜条件は、一例として、

基板温度: 200°C

Ar流量: 33 sccm

圧力: 2mTorr

22

スパッタリングパワー: 9000W

とすることができる。このようにして層56を形成した後、層56を有する基板40を400~550°Cに加熱して層56をリフローさせることにより44S等の配線溝及びシーム孔Qを十分に埋める。

【0122】44S等の配線溝の側壁が52S等のサイドカバー層で覆われて段差が緩和されていると共にシーム孔Qが順テーパー状に加工されているため、層56をスパッタ法で形成しても良好な被覆性が得られ、その後のリフロー処理においてもボイド等が発生せず、良好な埋込み性が得られる。

【0123】層56のスパッタ時にコリメートスパッタ法又はロングスロースパッタ法を用いると、微細なプラグのシーム孔の底部でも十分な初期膜厚が得られるので、一層平易な条件で孔埋めを行なえる。

【0124】配線材層56としては、Al又はAl合金層の代りに、Cu又はCu合金（Cu-Cr, Cu-Zr, Cu-Pd等）を用いてもよく、この場合にはスパッタリング時のターゲットをCu又はCu合金に置き換えるだけである。

【0125】44S等の配線溝及びシーム孔Qを埋めるための成膜方法としては、図10の工程に関して前述したと同様にPVD法又はCVD法を用いることもできる。

【0126】次に、図23の工程では、CMP処理により配線材層56を平坦状に除去することにより配線溝44S, 44D内にそれぞれ層56の第1, 第2の部分56s, 56dを残す。このときのCMP処理は、図11に関して前述したのと同様に行なうことができる。

【0127】CMP処理の結果として、ソース領域Sにつながる配線層58Sと、ドレイン領域D及び配線層Kをつなぐ配線層58Dとが得られる。配線層58Sは、密着層50の残存部分50sと、プラグ52sと、サイドカバー層52Sと、配線材層56の残存部分56sにより構成される。また、配線層58Dは、密着層50の残存部分50sと、プラグ52d, 52kと、サイドカバー層52Dと、配線材層56の残存部分56dにより構成される。

【0128】上記した第3の実施形態では、図21の工程においてシーム孔Qを全体的に順テーパー状に加工したが、図24に示すようにシーム孔Qの上部のみ順テーパー状に加工するようにしてもよい。すなわち、シーム孔Qを底部と開口端との中間の位置を境にして上部及び下部に分け、底部までの深さhを有する下部では底部近傍を除きほぼ一定の直径dを有すると共に下部から開口端に至る上部では直径がdから開口端に向けて徐々に増大するようにシーム孔Qを加工してもよい。

【0129】図24のプラグ構造にあっては、シーム孔Qを有するプラグ52s上に形成したAl合金等の配線材層（図22の56に対応）をリフローさせてシーム孔

Qを埋込む場合、 h/d が1.0以下であればリフローした配線材でシーム孔Qの下部を埋込むことができる。また、Al合金等の配線材層(図22の56に対応)をMOCVD(Metalorganic CVD)法で形成する場合は、 h/d がおよそ2.0であってもシーム孔Qの下部を配線層で埋込むことができる。

【0130】図25～27は、この発明の第4の実施形態に係る平坦配線形成法を示すものである。この実施形態の特徴は、第1に導電性バリア層の一部を配線層の一部として残すようにしたことであり、第2にキャップ層60の一部を配線の一部として残すようにしたことである。

【0131】図25の工程では、図21のエッチバック工程に続いて図13に関して前述したと同様に配線溝44S、44D及び絶縁膜44の露呈部を覆って導電性バリア層及び配線材層を順次に形成する。そして、図14に関して前述したと同様に44S等の配線溝の上部に凹部が生ずるようにバリア層及び配線材層の積層にCMP処理を施すことにより配線溝44S内にはバリア層の第1の部分54s及び配線材層の第1の部分56sを且つ配線溝44D内にはバリア層の第2の部分54d及び配線材層の第2の部分56dをそれぞれ残す。

【0132】図26の工程では、図15に関して前述したと同様に配線溝44S、44D及び絶縁膜44の露呈部を覆ってキャップ層60を形成する。

【0133】図27の工程では、図16に関して前述したと同様にキャップ層60にCMP処理を施すことにより配線溝44S、44D内にそれぞれ層60の第1、第2の部分60s、60dを残す。この結果、ソース領域Sにつながる配線層58Sと、ドレイン領域D及び配線層Kをつなぐ配線層Dとが得られる。

【0134】配線層58Sは、密着層50の残存部分50sと、プラグ52sと、サイドカバー層52Sと、バリア層の残存部分54sと、配線材層の残存部分56sと、キャップ層60の残存部分60sとにより構成される。配線層58Dは、密着層50の残存部分50dと、プラグ52d、52kと、サイドカバー層52Dと、バリア層の残存部分54dと、配線材層の残存部分56dと、キャップ層60の残存部分60dとにより構成される。

【0135】上記した第1～第4の実施形態では、ソース領域S及びドレイン領域Dにそれにつながる配線層58S及び58Dを形成したが、配線層58S、58Dの形成工程を応用することで58S、58Dのような配線層につながる上層配線を形成可能である。

【0136】この発明の実施形態によれば次のような作用効果が得られる。

【0137】(イ)図11、16、23、27に示すように、58S等の配線層は、52s等のプラグと56s等の低抵抗配線材とにより構成されるため、配線の低抵

抗化が可能である。特に、図23、27に示す配線構造にあっては、52s等のプラグのシーム孔が56s等の低抵抗配線材で埋められ、ボイドとして残ることがないため、配線抵抗を一層低減することができる。

【0138】(ロ)導電材層52を薄くする方法としてエッチバック処理を用いるので、CMP処理を用いた場合のようにシーム孔の広がり、アルミナ等の砥粒による汚染、異物付着、損傷等の問題点を回避することができる。

10 【0139】(ハ)図9に示すように、44s等の接続孔は52s等のプラグで埋められると共に44S等の配線溝の側壁には52S等のサイドカバー層が形成されるため、図10に示すように、バリア層54及び配線材層56の形成時に良好な被覆性が得られる。このため、図11、16に示すようにシーム孔Qがボイドとして残っても54s等のバリア層の存在により56s等の配線材と直接的に接触できないので、配線中へのボイドの移動や拡散が抑制され、配線の信頼性が向上する。

【0140】(ニ)図21に示すように、44s等の接続孔52s等のプラグで埋められると共に44S等の配線溝の側壁には52S等のサイドカバー層が形成され、さらにシーム孔Qは順テーパー状に加工されるので、図22に示すように配線材層56の形成時に良好な被覆性が得られる。このため、シーム孔Qはボイドとして残ることなく、図23に示すようにバリア層なしでも配線の信頼性を向上させることができる。図27に示すように54s等のバリア層を形成すれば配線の信頼性を一層向上させることができる。

【0141】(ホ)52S等のサイドカバー層は、50s等の密着層と共にバリア層としても役立つ。また、54s等のバリア層を設けた場合には、50s、52S等のバリア層のバリア性を補強するのに役立つ。例えばCu又はCu合金等を配線材層56として用いた場合、52S等のサイドカバー層は、絶縁膜44から配線材層56への酸素の拡散(すなわち配線材の酸化)を抑制すると共に絶縁膜44中へのCu等の金属の拡散を抑制する。このような抑制効果は、54s等のバリア層を設けることで一層向上する。従って、サイドカバー層の存在により配線信頼性が向上し、54s等のバリア層を追加することで配線の信頼性が一層向上する。

【0142】(ハ)図16、27に示すように、60s等のキャップ層を設けると、サイドカバー層やバリア層のバリア性を一層強化することができ、配線の信頼性が一層向上する。また、60s等のキャップ層は、44S等の配線溝に自己整合した形で簡単に形成可能である。

【0143】

【発明の効果】以上のように、この発明の第1の方法によれば、配線溝及び接続孔を覆って形成したW等の導電材層をエッチバックして配線溝内にはサイドカバー層を且つ接続孔内にはプラグをそれぞれ残すと共にプラグ及

びサイドカバー層を覆ってバリア層及びA1合金等の配線材層を順次に形成し、さらにバリア層及び配線材層の積層に平坦化処理を施して平坦配線を得るようにしたので、配線の低抵抗化及び高信頼化を達成できる効果が得られる。

【0144】また、この発明の第2の方法によれば、配線溝及び接続孔を覆って形成したW等の導電材層を異方性エッチングで薄くして配線溝内にはサイドカバー層を且つ接続孔内にはプラグをそれぞれ残すと共にプラグのシーム孔を内部から開口端に向けて徐々にサイズが増大するようにテーパーエッチングで加工し、さらにプラグ及びサイドカバー層を覆って配線材層を形成してから配線材層に平坦化処理を施して平坦配線を得るようにしたので、配線の低抵抗化及び高信頼化を達成できる効果が得られる。

【0145】さらに、この発明の第1又は第2の方法にあっては、バリア性導電材からなるキャップ層を平坦状に除去してキャップ層の一部を配線溝内で配線材層の残存部を覆うように配線層の一部として残すようにしたので、配線の信頼性が一層向上する効果もある。

【0146】さらに、この発明の第2の方法にあっては、プラグのシーム孔を加工した後配線材層を形成する前にバリア層を形成し、配線材層及びバリア層の積層を平坦状に除去してバリア層の一部を配線溝内に配線層の一部として残すようにしたので、配線の信頼性が一層向上する効果もある。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係る平坦配線形成法におけるトランジスタ形成工程を示す基板断面図である。

【図2】 図1の工程に続く絶縁膜形成工程を示す基板断面図である。

【図3】 図2の工程に続くCMP工程を示す基板断面図である。

【図4】 図3の工程に続くレジスト層形成工程を示す基板断面図である。

【図5】 図4の工程に続くドライエッチング工程を示す基板断面図である。

【図6】 図5の工程に続くレジスト層形成工程を示す基板断面図である。

【図7】 図6の工程に続くドライエッチング工程を示す基板断面図である。

【図8】 図7の工程に続く密着層及び導電材層の形成工程を示す基板断面図である。

【図9】 図8の工程に続くエッチバック工程を示す基板断面図である。

【図10】 図9の工程に続くバリア層及び配線材層の形成工程を示す基板断面図である。

【図11】 図10の工程に続くCMP工程を示す基板断面図である。

【図12】 この発明の第2の実施形態に係る平坦配線形成法におけるエッチバック工程を示す基板断面図である。

【図13】 図12の工程に続くバリア層及び配線材層の形成工程を示す基板断面図である。

【図14】 図13の工程に続くCMP工程を示す基板断面図である。

【図15】 図14の工程に続くキャップ層形成工程を示す基板断面図である。

10 【図16】 図15の工程に続くCMP工程を示す基板断面図である。

【図17】 この発明の第3の実施形態に係る平坦配線形成法におけるレジスト層形成工程を示す基板断面図である。

【図18】 図17の工程に続くレジスト層形成工程を示す基板断面図である。

20 【図19】 図18の工程に続くドライエッチング工程を示す基板断面図である。

【図20】 図19の工程に続くバリア層及び配線材層の形成工程を示す基板断面図である。

【図21】 図20の工程に続くエッチバック工程を示す基板断面図である。

【図22】 図21の工程に続く配線材層形成工程を示す基板断面図である。

【図23】 図22の工程に続くCMP工程を示す基板断面図である。

【図24】 シーム孔加工の変形例を示す断面図である。

30 【図25】 この発明の第4の実施形態に係る平坦配線形成法におけるCMP工程を示す基板断面図である。

【図26】 図25の工程に続くキャップ層形成工程を示す基板断面図である。

【図27】 図26の工程に続くCMP工程を示す基板断面図である。

【図28】 従来の平坦配線形成法におけるレジスト層形成工程を示す断面図である。

【図29】 図28の工程に続くドライエッチング工程を示す断面図である。

40 【図30】 図29の工程に続くW層形成及びCMP工程を示す断面図である。

【図31】 発明者の研究に係る配線形成法における絶縁膜形成工程を示す基板断面図である。

【図32】 図31の工程に続くCMP工程を示す基板断面図である。

【図33】 図32の工程に続くレジスト層形成工程を示す基板断面図である。

【図34】 図33の工程に続くドライエッチング工程を示す基板断面図である。

50 【図35】 図34の工程に続く密着層及びW層の形成工程を示す基板断面図である。

【図36】 図35の工程に続くCMP工程を示す基板断面図である。

【図37】 図36の工程に続く絶縁膜形成工程を示す基板断面図である。

【図38】 図37の工程に続くレジスト層形成工程を示す基板断面図である。

【図39】 図38の工程に続くドライエッチング工程を示す基板断面図である。

【図40】 図39の工程に続くバリア層及び配線材層の形成工程を示す基板断面図である。

10

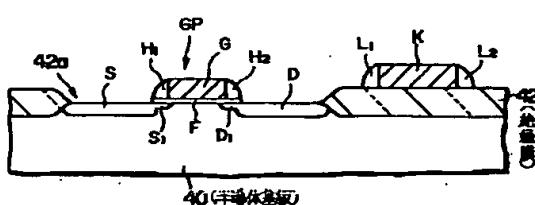
【図41】 図40の工程に続くCMP工程を示す基板断面図である。

【図42】 W層のオーバーエッチング状況を示す断面図である。

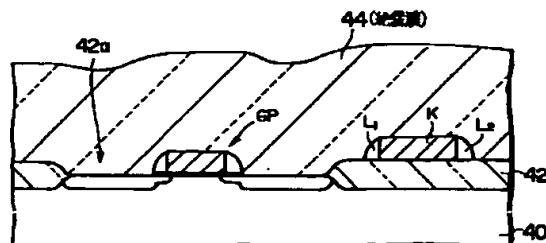
【符号の説明】

40：半導体基板、42，44：絶縁膜、46，48，
62，64：レジスト層、50：密着層、52：導電材
層、54：バリア層、56：配線材層、58S，58
D：配線層、60：キャップ層。

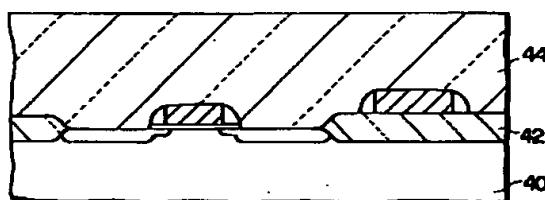
【図1】



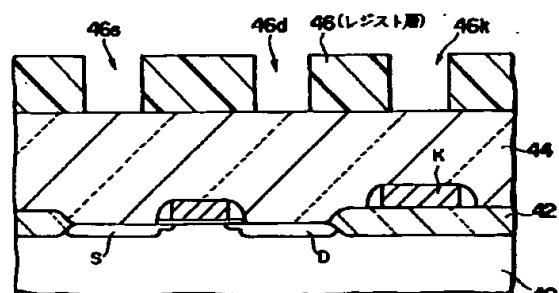
【図2】



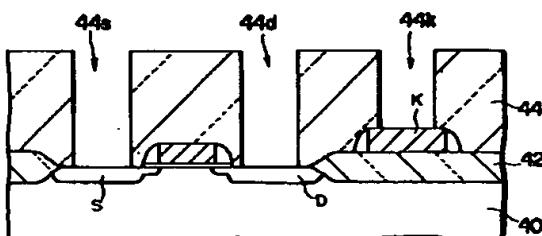
【図3】



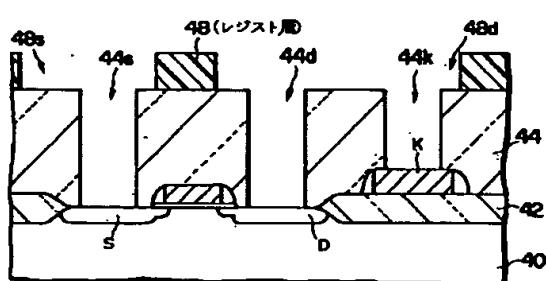
【図4】



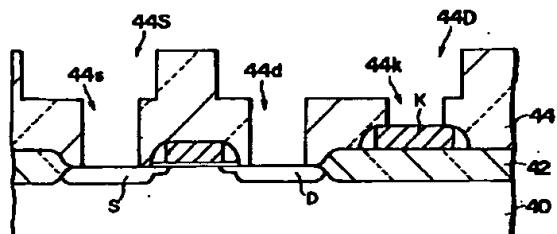
【図5】



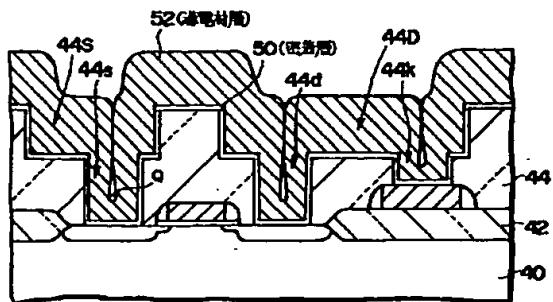
【図6】



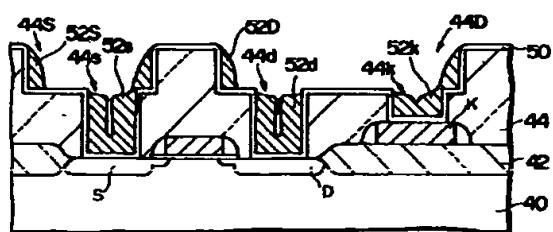
【図7】



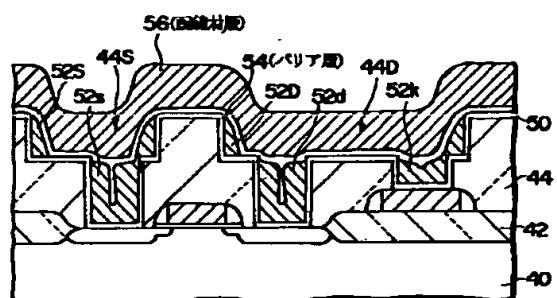
【図8】



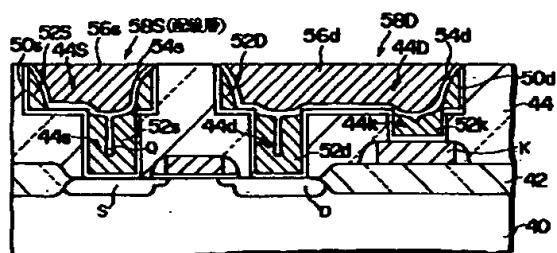
【図9】



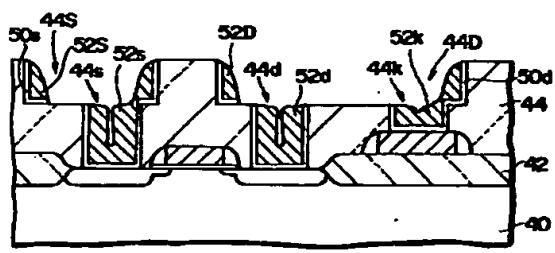
【図10】



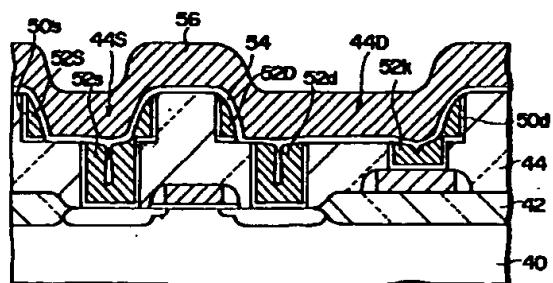
【図11】



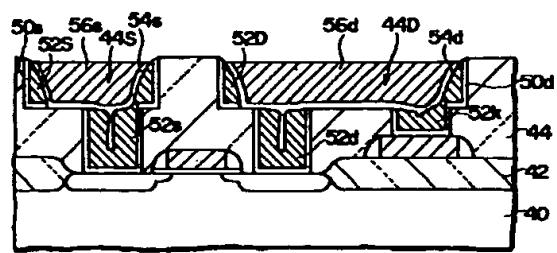
【図12】



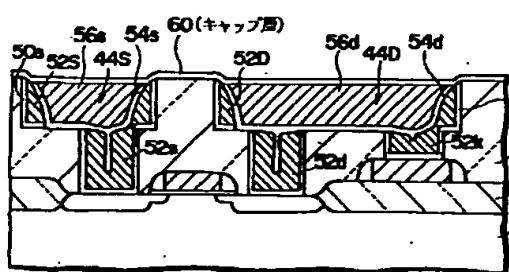
【図13】



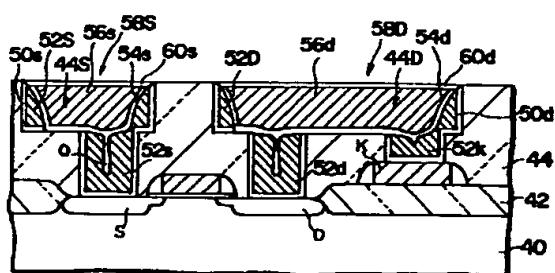
【図14】



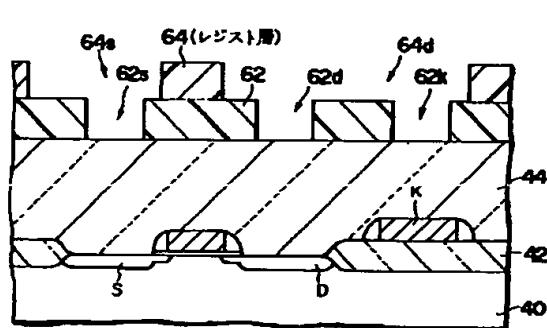
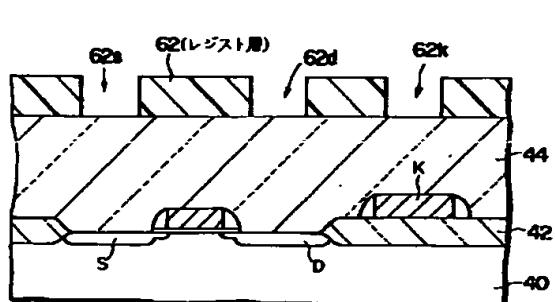
【図15】



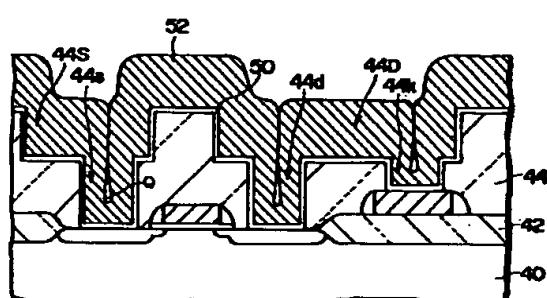
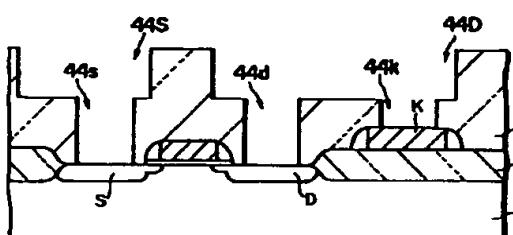
【図16】



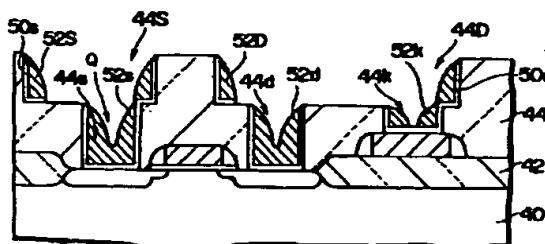
【図17】



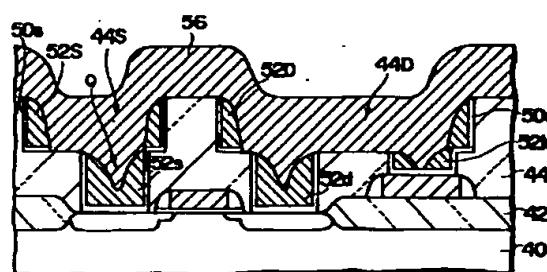
【図19】



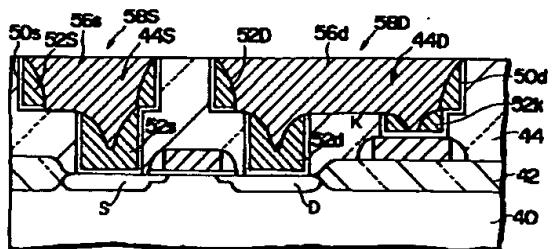
【図21】



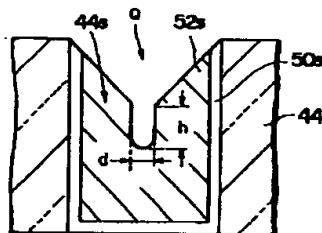
【図22】



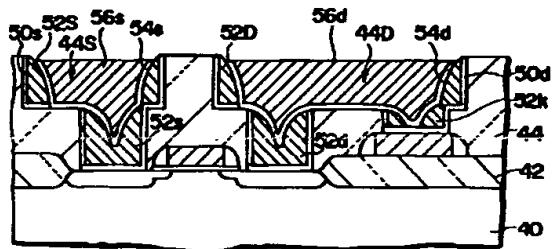
【図23】



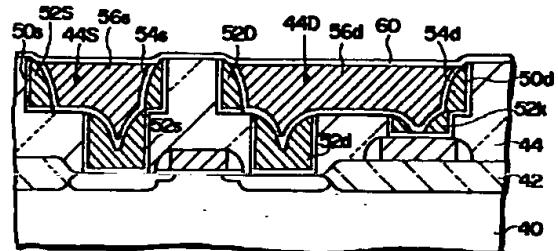
【図24】



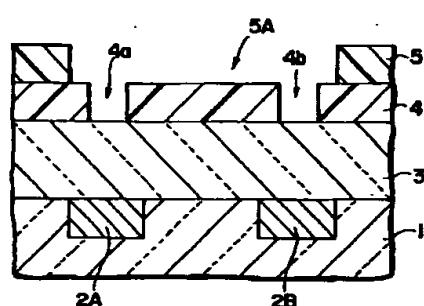
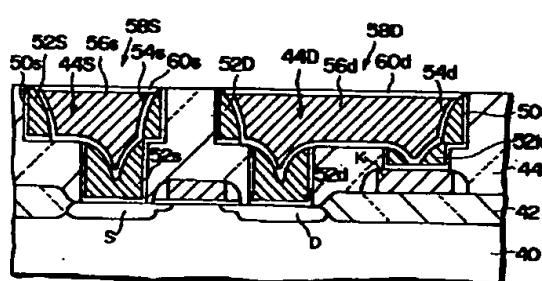
【図25】



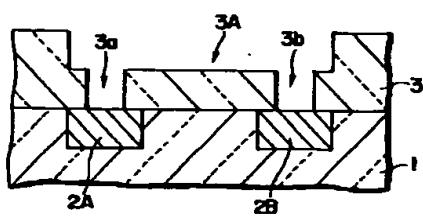
【図26】



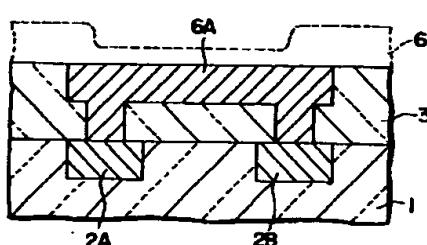
【図27】



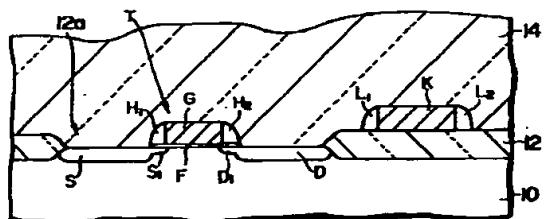
【図29】



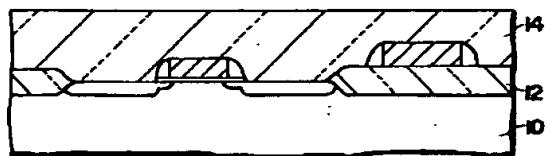
【図30】



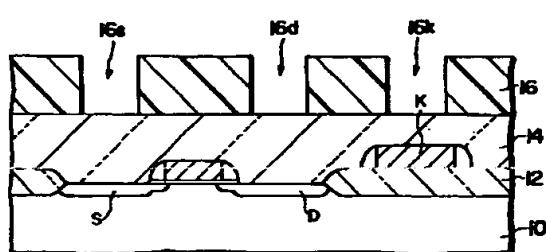
【図31】



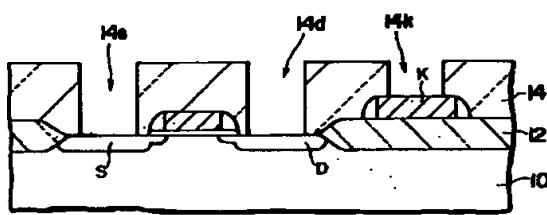
【図32】



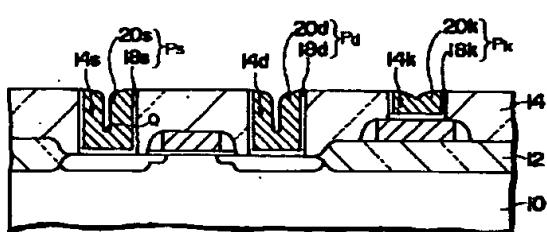
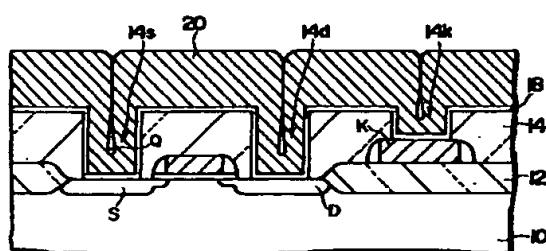
【図33】



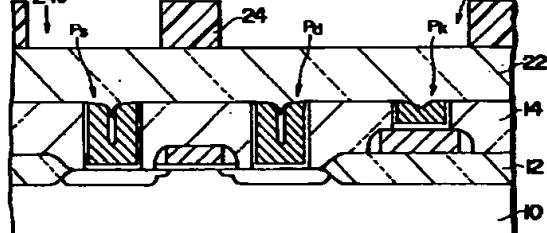
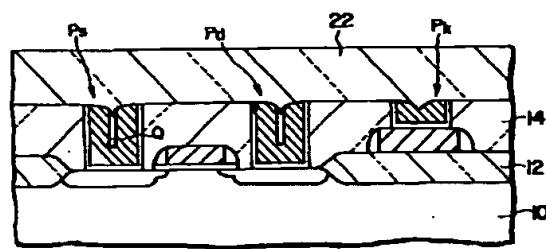
【図34】



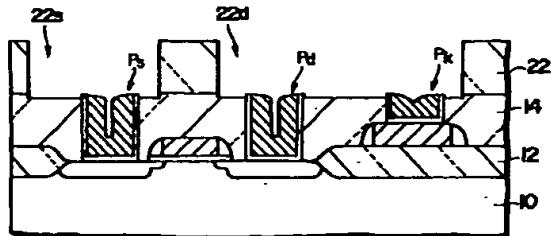
【図35】



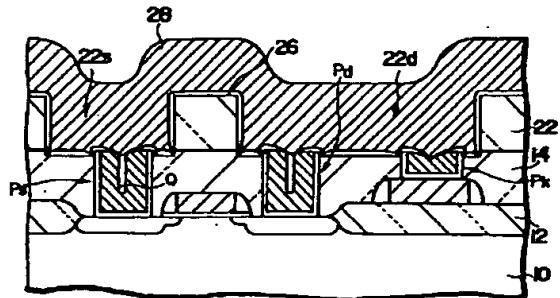
【図37】



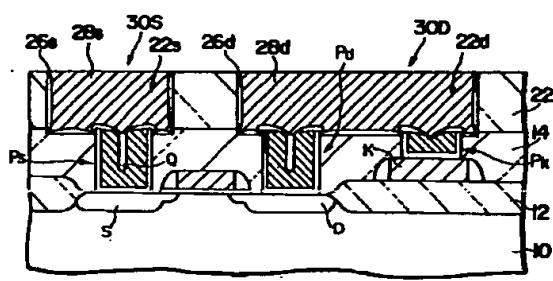
【図39】



【図40】



【図41】



【図42】

